

⑨日本国特許庁 (JP)

⑩特許出願公開

⑪公開特許公報 (A)

昭63-104343

⑫Int.Cl.

H 01 L 21/60

識別記号

府内整理番号

6918-5F

⑬公開 昭和63年(1988)5月9日

審査請求 未請求 発明の数 1 (全4頁)

⑭発明の名称 半導体装置

⑮特 願 昭61-250974

⑯出 願 昭61(1986)10月21日

⑰発明者 蔵 永 寛 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰発明者 中 林 竹 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) いずれも、横電結合手段により素子を形成された互の活性面を向い合って結合された2枚以上のチップからなり、それぞれの前記チップの前記活性面の反対側の面同志で接着して、積み上げられている複数の重ね合せチップと

前記重ね合せチップ間を結合するワイヤとを備えた半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、半導体集積回路チップを積み上げ、高機能化、高集積化をはかつた半導体装置に関するものである。

【従来の技術】

第2図、第3図は、従来の半導体装置を示す平面図及びそのⅢ-Ⅲ断面図であり、図において(1)は第一層目の集積回路チップ、(2)は第二層目の集

積回路チップ、(3)は(1)の回路部分を保護し、(1)と(2)を固定する層、(4)は(1)と(2)の回路を電気的に接続するワイヤであり、(5)はワイヤーボンディング用パッドである。

従来の半導体装置は上記のように構成され、上記の要領で、何層にも重ね合せ回路の集積度を上げ、また高機能化をはかることができる。

【発明が解決しようとする問題点】

上記のような従来の半導体装置では、積み上げる二つのチップの間にチップ同志を固定し、下のチップの回路部分を保護するための層(3)を、非導電性で、熱などの要因による変形がきわめて小さい物質で作る必要があり、また、上下のチップを電気的に接続するためには、チップの周辺に設けたパッド(5)をワイヤーボンディングで結ぶしかなく回路の設計にあたつての制約が多いという問題点があつた。

この発明はかかる問題点を解決するためになされたもので、前記保護層を必要とせず、また、積み重ねられたチップ間の信号のやりとりをワイヤ

一ポンディング以外の方法で行える半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、二枚以上のチップを回路面を向い合せ、回路面上に作られた電極同志を接続することによつて電気的に接続し、固定した重ね合せチップ、前記重ね合せチップを積み上げ、ワイヤーボンディングにより電気的に接続したものである。

〔作用〕

この発明においては、前記重ね合せチップ内のチップ間では、任意の場所に設けられた電極をにより固定し、また、電気信号のやりとりを行い、他の前記重ね合せチップとは、チップの裏面同志をはり合せ、固定し、ワイヤーボンディングにより、電気信号のやりとりをととなつてゐる。

〔実施例〕

第1図はこの発明の一実施例を示す断面図であり、前記重ね合せチップを2つ積み重ねたものである。(1a)、(2a)はともに、その上面に回路部分

実施例の断面図を示す。

また、前記重ね合せチップを構成するチップは、同一のプロセスを用いて作る必要がないため、多種類のプロセスで作られたチップを組み合せ、構成することによつて高機能化をはかることができる別の効果もある。

上記実施例では、バンプ(6)を用いる場合であつたが、チップ(1a)、(1b)のいずれかチップ(2a)、(2b)のいずれかのバンド(7)上に成長した金などの厚いメタリ層を用いてよい。

なお上記で説明を省略したがチップ(1b)、(2a)間の接続方法としては通常のダイボンディング時の方法を採用した。

〔発明の効果〕

この発明は以上説明したとおり、二枚以上のチップを回路面を向い合せ、バンプ等を用いて電気的に接続し、固定した重ね合せチップを積み上げることにより、高集積化をはかり、従来装置に必要だつた保護層をなくす効果がある。

4. 図面の簡単な説明

をもつチップ、(1b)、(2b)はともに、その下面に回路部分をもつチップ、(6)は前記重ね合せチップ内で電気的接続をとり、チップを固定する機電結合手段で本実施例ではバンプを用いており、(7)はこのバンプ用バンドを示し、(10)は、下段の重ね合せチップ、(20)は上段の重ね合せチップを示しており、(10)と(20)は、ワイヤー(4)により電気的に接続され、ダイボンドと同様の技術でチップの裏面同志をはり合せ固定されている。そのため従来の装置には必要だつた保護層(3)を必要としない。

前記重ね合せチップを構成するチップ間は、バンプにより電気的に接続されているので、従来の半導体装置に比べ設計がより容易になつてゐる。

なお、上記実施例では、前記重ね合せチップを2段重ねたものを示したが、3段以上積み重ねることによつてより高い集積度を得ることが可能である。

また、前記重ね合せチップは3枚以上のチップを用いて構成することができ、第4図に、前記重ね合せチップを3枚のチップで構成した場合の一

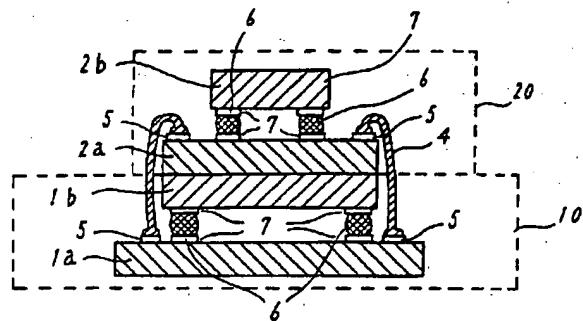
第1図、第4図は、この発明の一実施例を示す断面図、第2図、第3図はそれぞれ、従来の半導体装置を示す平面図、断面図である。

図において、(1a) (1b) (2a) (2b)は集積回路チップ、(4)はワイヤー、(6)は機電結合手段、(10) (20)はともに重ね合せチップである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大岩 増雄

第1図



1a, 1b, 2a, 2b : チップ

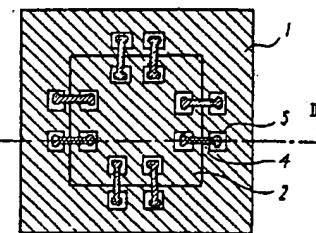
4 : ワイヤー

6 : 機電結合手段

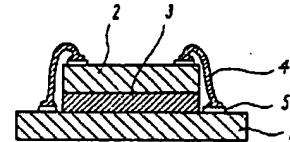
10 : 下段重ね合せチップ

20 : 上段重ね合せチップ

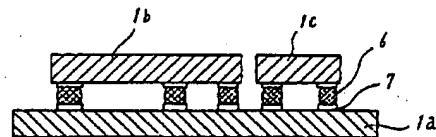
第2図



第3図



第4図



手続補正書(自発)

62 1 19
昭和 年 月 日

特許庁長官殿



1. 事件の表示 特願昭61-250974号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601)三菱電機株式会社

代表者 志岐 守哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名 (7375)弁理士 大岩 増雄

(連絡先 03(213)3421特許部)

6. 補正の対象

(1)明細書の発明の詳細な説明の補正

(2)図面

6. 補正の内容

(1)明細書をつぎのとおり訂正する。

ページ	行	訂正前	訂正後
3	12	電極をに	電極に

(2) 図面の第1図を別紙のとおり訂正する。

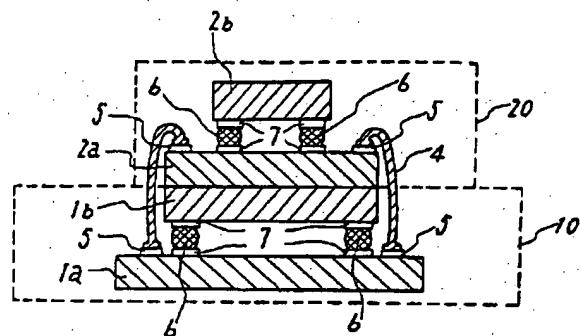
7. 添付書類の目録

(1) 図面(第1図)

1通

以 上

第1図



1a, 1b, 2a, 2b : 47.7"

4 : 71.4

6 : 機電結合手段

10 : 下段重ね合せナット

20 : 上段重ね合せナット

[Translation]

(19) Japanese Patent Office (JP)
(11) Japanese Patent Application Kokai Publication No. Sho 63-104343
(12) Official Gazette for Kokai Patent Applications (A)
(43) Kokai Publication Date: May 9, 1988
(51) Int. Cl.⁴ Identification No. JPO File No.
H01L 21/60 6918-5F

Number of inventions: 1 Examination request: Not filed (total 4 pages [original])

(54) Title of the Invention: SEMICONDUCTOR DEVICE
(21) Application No. Sho 61-250974
(22) Filing Date: October 21, 1986
(72) Inventor: KURANAGA, Hiroshi
c/o Mitsubishi Electric Corp. LSI Research Laboratories, 4-1 Mizuhara, Itami-shi, Hyogo
Prefecture
(72) Inventor: NAKABAYASHI, Takeo
c/o Mitsubishi Electric Corp. LSI Research Laboratories, 4-1 Mizuhara, Itami-shi, Hyogo
Prefecture
(71) Applicant: Mitsubishi Electric Corp.
2-2-3 Marunouchi, Chiyoda-ku, Tokyo
(74) Agent: Masao Oiwa, patent attorney, and two other persons

Specification

1. Title of the Invention

SEMICONDUCTOR DEVICE

2. Claims

(1) A semiconductor device comprising:
a plurality of stacked chips, comprising two or more chips, whereof the active surfaces, whereon elements are formed by electromechanical bonding means, are made to face each other and are mutually connected, and the respective sides of said chips opposite said active faces are mutually bonded and stacked, and
wire that connects said stacked chips.

3. Detailed Description of the Invention

(Industrial Field Of Application)

The present invention relates to a semiconductor device, in which semiconductor integrated circuit chips are stacked, and which has improved performance and a higher level of integration.

(Prior Art)

Figure 2 and Figure 3 are, respectively, a plan view and a cross-sectional view along the line III-III showing a conventional semiconductor device. In the figures, 1 denotes an integrated circuit chip of the first layer, 2 denotes an integrated circuit chip of the second layer, 3 denotes a layer that protects the circuit part of 1 and fixes 1 and 2, 4 denotes a wire that electrically connects the circuits of 1 and 2, and 5 denotes a wire bonding pad.

A conventional semiconductor device is constituted as described above, and in the overview described above, the degree of integration and level of functionality of the circuits can be increased by stacking circuits in layers.

(Problems That the Invention Is to Solve)

In the conventional semiconductor device described above, two stacked chips are fixed, and the layer 3 for protecting the circuit part of the lower chip must be made of a nonconductive material that has little deformation due to heat. Moreover, the only way to electrically connect the upper and lower chips is by connection of the pads 5 on the periphery of the chips by wire bonding, which creates a problem of numerous restrictions in the design of the circuit.

The present invention was produced in order to solve these problems, and has the objective of offering a semiconductor device that does not require the aforesaid protective layer and allows signal exchange between stacked chips to be performed by a method other than wire bonding.

(Means Used to Solve the Problems)

In the semiconductor device according to the present invention, the circuit faces of two or more chips are placed facing each other and are electrically connected by connecting the circuits formed on the facing circuit faces, a plurality of stacked chips, and a fixed stacked chip is stacked on the aforesaid stacked chip, and his electrically connected by wire bonding.

(Operation)

In the present invention, the aforesaid stacked chips are fixed, and electrical signals are exchanged, by means of electrodes placed in a desired position, the other aforesaid electronic chip is positioned so as to be aligned with the backside of said chip and fixed, and electrical signals are exchanged therebetween by wire bonding.

(Working Example)

Figure 1 is a cross-sectional view of a working example of the present invention, wherein two stacked chips are stacked. 1a and 2a are both chips having a circuit part on their upper face, 1b and 1b are both chips having a circuit part on their lower face, 6 is an electrical connection means, which in this working example uses a bump, and which provides electrical connection between the aforesaid stacked chips and fixes the chips, 7 denotes a pad for this bump, 10 denotes the lower stacked chip, 20 denotes the upper stacked chip, and 10 and 20 are connected electrically by means of wire 4, and the back sides of both are aligned and affixed to each other by a technique such as die bonding. For this reason, the device does not require a protective layer 3, which is required in a conventional device.

In the working example described above, the aforesaid stacked chips are stacked in two stages, but a higher level of integration can be obtained by stacking of three or more.

The aforesaid stacked chips may also be constituted using three or more chips, and a cross-sectional view of a working example in the case where the aforesaid stacked chip is composed of three chips is shown in Figure 4.

In addition, since the chips making up the aforesaid stacked chip need not be produced using the same process, various effects can be obtained by combinations of chips made by different types of processes, and high integration can be achieved by this constitution.

The working example described above shows the case in which a bump 6 is used, but a thick plated layer of gold or the like that is deposited on any of the pads 7 of either of the chips 2a or 2b or either of the chips 1a or 1b may also be used.

(Effects of the Invention)

The present invention, as explained above, is formed by stacking stacked chips in which the circuit faces of two or more chips are made to face each other and electrically connected and fixed by means of a bump, etc., and is therefore able to achieve higher levels of integration and does not require a protective layer which has been necessary in prior devices.

4. Brief Explanation of the Drawings.

Figure 1 and Figure 4 are cross-sectional drawings showing a working example of the present invention, and Figure 2 and Figure 3 are, respectively, a plan and cross-sectional view showing a conventional semiconductor device.

In the figures, 1a, 1b, 2a, and 2b are integrated circuit chips, 4 is a wire, 5 an electromechanical bonding means, and 10 and 20 are stacked chips.

In the figures, the same reference numerals indicate the same or corresponding parts.

Agent: Masao Oiwa

Figure 1

1a, 1b, 2a, and 2b: integrated circuit chips

4: wire

5: electromechanical bonding means

10: lower stacked chip

20: upper stacked chip

[Amendment of January 19, 1987, corrects a minor typographical error in the text (correction incorporated in the translation) and makes minor modifications to Figure 1—translator.]